

17. 9. 2004

日本国特許庁  
JAPAN PATENT OFFICE

REC'D 11 NOV 2004

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 9月18日

出願番号  
Application Number: 特願2003-326549  
[ST. 10/C]: [JP2003-326549]

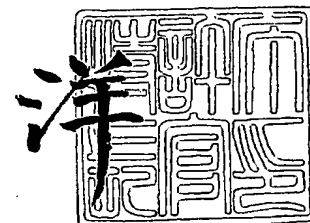
出願人  
Applicant(s): 株式会社アドバンテスト

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年10月28日

特許庁長官  
Commissioner,  
Japan Patent Office

小川



BEST AVAILABLE COPY

【書類名】 特許願  
【整理番号】 ADV0310982  
【提出日】 平成15年 9月18日  
【あて先】 特許庁長官殿  
【国際特許分類】 H03D  
【発明者】  
    【住所又は居所】 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバンテスト内  
    【氏名】 澤田 俊秋  
【特許出願人】  
    【識別番号】 390005175  
    【氏名又は名称】 株式会社アドバンテスト  
【代理人】  
    【識別番号】 100066153  
    【弁理士】  
    【氏名又は名称】 草野 卓  
【選任した代理人】  
    【識別番号】 100100642  
    【弁理士】  
    【氏名又は名称】 稲垣 稔  
【手数料の表示】  
    【予納台帳番号】 002897  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9718552

**【書類名】 特許請求の範囲****【請求項 1】**

A、入力端子と出力端子との間に直列接続された第 1 半導体スイッチ、第 2 半導体スイッチ、第 3 半導体スイッチと、

B、一端が上記入力端子に接続された第 1 半導体スイッチ及び一端が上記出力端子に接続された第 3 半導体スイッチのそれぞれに並列接続され、それぞれが入力端子の電位を上記第 1 半導体スイッチと第 2 半導体スイッチとの接続点に印加し、出力端子の電位を上記第 2 半導体スイッチと第 3 半導体スイッチとの接続点に印加する電圧印加手段と、

C、上記第 1 半導体スイッチ、第 2 半導体スイッチ、第 3 半導体スイッチを連動させてオンの状態及びオフの状態に制御するスイッチ制御手段と、

によって構成したことを特徴とする半導体スイッチ回路。

**【請求項 2】**

A、入力端子と出力端子との間に直列接続された少なくとも 2 個の半導体スイッチと、

B、上記 2 個の半導体スイッチのいずれか一方に並列接続され、入力端子の電位又は出力端子の電位を上記 2 個の半導体スイッチの接続点に印加するための電位印加手段と、

C、上記 2 個の半導体スイッチを連動させてオンの状態とオフの状態に制御するスイッチ制御手段と、

によって構成したことを特徴とする半導体スイッチ回路。

**【請求項 3】**

請求項 1 又は 2 記載の半導体スイッチ回路の何れかにおいて、上記電圧印加手段は利得が約 +1 の状態に設定された直流増幅器と、この直流増幅器の出力端子と電圧印加点との間に接続され、上記入力端子と出力端子の間に直列接続された半導体スイッチと逆モードで動作する半導体スイッチとによって構成したことを特徴とする半導体スイッチ回路。

**【請求項 4】**

請求項 1 又は 2 記載の半導体スイッチ回路の何れかにおいて、上記電圧印加手段は利得が約 +1 の状態に設定された直流増幅器と、この直流増幅器の出力端子と電圧印加点との間に接続した抵抗器とによって構成したことを特徴とする半導体スイッチ回路。

**【請求項 5】**

請求項 1 又は 2 記載の半導体スイッチ回路の何れかにおいて、上記電圧印加手段が並列接続された半導体スイッチをダイオードの逆並列接続素子で構成したことを特徴とする半導体スイッチ回路。

【書類名】明細書

【発明の名称】半導体スイッチ回路

【技術分野】

【0001】

この発明は例えば半導体デバイス試験装置等に利用して好適な半導体スイッチ回路に関し、特にリーク電流が外部に洩れることがない半導体スイッチ回路に関する。

【背景技術】

【0002】

半導体デバイス試験装置では半導体デバイスの各端子（以下ピンと称す）の直流特性を試験するために電圧値の異なる電圧、電流発生器を多数用意し、この多数の電圧、電流発生器の出力をマトリックス回路を通じて被試験デバイスの各ピンに選択的に印加し、各ピンに任意の電圧を印加して直流試験を行う方法を探っている。

【0003】

図7にその様子を示す。電圧・電流発生器群10は各種の電圧V1、V2、V3、V4を出力し、マトリックス回路20の入力端子IN1～IN4にこれらの電圧V1～V4を印加する。マトリックス回路20はスイッチSのいずれかを選択的にオンの状態に制御し、出力端子OUT1～OUT4に電圧V1～V4を選択的に出力する。

マトリックス回路20の出力端子OUT1～OUT4には被試験半導体デバイス30の各ピンP1～P4が接続され、各ピンP1～P4に電圧V1～V4の任意の電圧を印加し、各ピンの直流特性を測定する。

【0004】

つまり、マトリックス回路20の存在により各ピンP1～P4の何れにも電圧V1～V4のどの電圧も印加することができる構造とされ、各電圧V1～V4の印加状態における電圧を測定し、その電流が予め予定した値の範囲に入っているか否かを試験する電圧印加電流測定試験と、各ピンP1～P4に所定の電流を流し、その電流の印加状態で各ピンP1～P4に所定の電圧が発生するか否かを試験する電流印加電圧測定試験が行われる。

【発明の開示】

【発明が解決しようとする課題】

【0005】

図7に示したマトリックス回路20において、スイッチSがオンになっている線同士は同電位に保持されるが、オフの状態にあるスイッチSには各電圧V1～V4に相当する電位差が与えられる。このため、例えばFET（電界効果トランジスタ）、或は発光素子と受光素子とによって構成されるフォトモスリレー等で構成される半導体スイッチをマトリックス回路20を構成するスイッチSに適用したとすると、電位差が与えられている交点部分の半導体スイッチにはリーク電流が発生し、そのリーク電流が測定誤差を与える不都合が生じる。

【0006】

図8に従来の半導体スイッチ回路の構成を示す。図8Aは入力端子INと出力端子OUTとの間が導通している状態、図8Bは入力端子INと出力端子OUTとの間が非導通の状態を示している。半導体スイッチS1、S2、S3はそれぞれFET或は発光素子と受光素子とで構成されるフォトモスリレーなどの半導体スイッチが用いられる。図8Aに示す導通状態ではスイッチS1、S2がオン、スイッチS3がオフの状態に設定される。オフの状態にある半導体スイッチS3に入力端子INに印加される電圧VMが印加され、この電圧VMの印加により半導体スイッチS3にリーク電流IRが流れる。

【0007】

一方、半導体スイッチS1とS2がオフ、スイッチS3がオンの状態では入力端子INと出力端子OUTとの間は開放され、入力端子INに供給される電圧は出力端子に出力されない。この場合半導体スイッチS1とS2に入力端子INに与えられている電圧VMが2分割されて与えられるから、この2分割された電圧により半導体スイッチS1、S2にリーク電流IR1、IR2が流れる。

## 【0008】

図8Aに示すリーク電流 $I_R$ 及び図8Bに示すリーク電流 $I_{R1}$ 、 $I_{R2}$ は共に入力端子 $I_N$ 又は出力端子 $O_{UT}$ を通じて外部に流れ出するか、又は外部から吸い込むことによって半導体スイッチ $S_3$ 又は $S_1$ 、 $S_2$ を流れる。従って、図8に示す従来の半導体スイッチ回路を図7に示したマトリックス回路20に適用した場合には半導体スイッチ回路を流れるリーク電流が測定誤差を発生させる不都合が生じる。

## 【0009】

特に、図7では4ピン分の回路構造を示したが、現実には被試験半導体デバイス30のピン数分の入力端子と出力端子とを具備したマトリックス回路を必要とし、マトリックス回路の規模は大きい。つまり、実際のマトリックス回路に使われるスイッチ $S$ の数は多く、これに伴ってオフの状態にあるスイッチの、それぞれにリーク電流が発生すると、そのリーク電流の和の量は大きくなり、大きな誤差となる。

## 【0010】

従来はリーク電流の影響を回避するために機械式接点リレーを使わざるを得なかった。更に、実際にはリレー接点の寿命から水銀リレーを用いることになっていた。然し乍ら、水銀リレーは環境問題で今後使用が制限されることと、水銀リレーは取り付け姿勢に制限があるために、マトリックス回路20を被試験半導体デバイス30の近くに配置されるテストヘッドに実装することは難しく、試験装置本体側に設置しなければならないため、マトリックス回路20とテストヘッドとの間を長いケーブルで接続しなければならなかった。

## 【0011】

この発明の目的はリーク電流の影響を小さくすることができ、然も実装位置に制限を受けないマトリックス回路を構成することができる半導体スイッチ回路を提供しようとするものである。

## 【課題を解決するための手段】

## 【0012】

この発明の請求項1では、入力端子と出力端子との間に直列接続された第1半導体スイッチ、第2半導体スイッチ、第3半導体スイッチと、一端が上記入力端子に接続された第1半導体スイッチ及び一端が上記出力端子に接続された第3半導体スイッチのそれぞれに並列接続され、それぞれが入力端子の電位を上記第1半導体スイッチと第2半導体スイッチとの接続点に印加し、出力端子の電位を上記第2半導体スイッチと第3半導体スイッチとの接続点に印加する電圧印加手段と、上記第1半導体スイッチ、第2半導体スイッチ、第3半導体スイッチを連動させてオンの状態及びオフの状態に制御するスイッチ制御手段とによって構成した半導体スイッチ回路を提案する。

## 【0013】

この発明の請求項2では、入力端子と出力端子との間に直列接続された少なくとも2個の半導体スイッチと、上記2個の半導体スイッチのいずれか一方に並列接続され、入力端子の電位又は出力端子の電位を上記2個の半導体スイッチの接続点に印加するための電圧印加手段と、上記2個の半導体スイッチを連動させてオンの状態とオフの状態に制御するスイッチ制御手段によって構成した半導体スイッチ回路を提案する。

## 【0014】

この発明の請求項3では、請求項1又は2記載の半導体スイッチ回路の何れかにおいて、上記電圧印加手段は利得が約+1の状態に設定された直流増幅器と、この直流増幅器の出力端子と電圧印加点との間に接続され、上記入力端子と出力端子の間に直列接続された半導体スイッチと逆モードで動作する半導体スイッチとによって構成した半導体スイッチ回路を提案する。

## 【0015】

この発明の請求項4では、請求項1又は2記載の半導体スイッチ回路の何れかにおいて、上記電圧印加手段は利得が約+1の状態に設定された直流増幅器と、この直流増幅器の出力端子と電圧印加点との間に接続した抵抗器とによって構成した半導体スイッチ回路を

提案する。

#### 【0016】

この発明の請求項5では、請求項1又は2記載の半導体スイッチ回路の何れかにおいて、上記電圧印加手段が並列接続された半導体スイッチをダイオードの逆並列接続素子で構成したことを特徴とする半導体スイッチ回路を提案する。

#### 【発明の効果】

#### 【0017】

この発明によれば、半導体スイッチと並列に電位印加手段を接続し、この電位印加手段により入力端子の電位及び出力端子の電位を直列接続した半導体スイッチの接続点に印加する。この電圧印加手段の電圧印加動作によりオフの状態にある半導体スイッチの両端に電位差が与えられない。この結果オフの状態でも本来であれば電位差が与えられるはずの半導体スイッチでもその電位差が与えられないため、リーク電流の発生は抑えられる。従って、半導体スイッチを用いながらリーク電流の発生量が少ない半導体スイッチ回路を提供することができる。

#### 【0018】

この結果、図7に示した半導体デバイス試験装置のマトリックス回路に適用することができる。更にマトリックス回路に適用した場合、スイッチを全て半導体スイッチで構成できるから、水銀リレーに与えられていた制限が解消され被試験半導体デバイス30を試験装置に接続するために設けられているテストヘッドに直接搭載することができ、被試験半導体デバイスとマトリックス回路20との間のケーブル長を短くできる利点が得られる。

#### 【発明を実施するための最良の手段】

#### 【0019】

入力端子と出力端子との間に第1半導体スイッチと、第2半導体スイッチ及び第3半導体スイッチ（以下単に第1スイッチ、第2スイッチ、第3スイッチと称す）を直接接続する。入力端子に一端が接続された第1スイッチには入力端子の電位を第1スイッチと第2スイッチとの接続点に印加する電圧印加手段を並列に接続する。第3スイッチには出力端子の電位を第2スイッチと第3スイッチとの接続点に印加する電圧印加手段を並列に接続する。

#### 【0020】

この接続構成によれば第1スイッチ、第2スイッチ、第3スイッチが全てオフの状態にあるとき、第1スイッチと並列接続した電圧印加手段は第1スイッチと第2スイッチとの接続点に入力端子の電位を印加するから、第1スイッチの両端に印加されるはずの電位差はゼロとなり、第1スイッチにリーク電流は流れない。更に、第3スイッチと第2スイッチとの接続点Kにも出力端子の電位が電圧印加手段により印加されるから、第3スイッチの両端に与えられるはずの電位差もゼロとなり、第3スイッチにもリーク電流は流れない。この結果入力端子と出力端子にリーク電流が流れることが回避され、半導体デバイス試験装置のマトリックス回路にこの発明の半導体スイッチ回路を適用したとすると、マトリックス回路からリーク電流が流れ出ることはなく、測定に誤差を発生させない利点が得られる。

#### 【実施例1】

#### 【0021】

図1にこの発明の一実施例を示す。図1に示すスイッチ回路は図7で説明した一つのスイッチSに相当する。図1Aはスイッチがオンの状態、図1Bはスイッチがオフの状態を示す。入力端子INと出力端子OUTの間に第1スイッチSW1と、第2スイッチSW2と、第3スイッチSW3はそれぞれFET或は発光素子と受光素子とによって構成されると、第1スイッチSW1の一端は入力端子INに接続され、第3スイッチSW3の一端が出力端子OUTに接続される。

#### 【0022】

第1スイッチSW1には並列に入力端子INの電位を第1スイッチSW1と第2スイ

チSW2との接続点Jに印加するために設けた電圧印加手段M1を接続する。第3スイッチSW3には並列に出力端子OUTの電位を第2スイッチSW2と第3スイッチSW3との接続点Kに印加するために設けた電圧印加手段M2を接続する。

#### 【0023】

電圧印加手段M1とM2は利得が約+1に設定され、入力インピーダンスが高い直流増幅器A1及びA2と、この直流増幅器A1及びA2の出力端子と接続点J及びKとの間に接続した半導体スイッチSW4とSW5とによって構成することができる。これらの半導体スイッチSW4とSW5もFET或いはその他型式の半導体スイッチ素子を用いることができる。以下これらの半導体スイッチSW4とSW5も単にスイッチSW4、SW5と称すことにする。利得が+1に設定された直流増幅器としては例えば反転入力端子と非反転入力端子とを有する演算増幅器の出力端子を反転入力端子に直結した構造で実現することができる。この場合、演算増幅器としては入力インピーダンスは可及的に高い増幅器を用いることが望ましい。

#### 【0024】

SCONはスイッチ制御手段を示す。このスイッチ制御手段SCONは第1スイッチSW1、第2スイッチSW2、第3スイッチSW3のそれぞれを連動させてオン、オフ制御すると共に、電圧印加手段M1とM2を構成するスイッチSW4とSW5を連動させてオン、オフ制御する。スイッチSW4とSW5のオン、オフ動作は第1スイッチSW1、第2スイッチSW2、第3スイッチSW3のオン、オフ動作と逆モードで動作する。

#### 【0025】

従って、第1スイッチSW1、第2スイッチSW2、第3スイッチSW3が全てオンの状態(図1A)ではスイッチSW4とSW5はオフの状態に制御される。この状態では入力端子INと出力端子OUTの間は第1スイッチSW1、第2スイッチSW3、第3スイッチSW3で短絡され、入力端子INに与えられる電圧はそのまま出力端子OUTに出力される。尚このとき半導体スイッチSW4とSW5はオフの状態にあるが、この状態では電圧印加手段M1とM2の両端は第1スイッチSW1と第3スイッチSW3で短絡されており、同電位に維持されているからスイッチSW4とSW5にリーク電流は流れない。

#### 【0026】

一方、第1スイッチSW1と、第2スイッチSW2と、第3スイッチSW3がオフの状態に制御され、更にスイッチSW4とSW5がオンの状態(図1B)に制御された場合は、電圧印加手段M1は接続点Jに入力端子INの電位を印加し、電圧印加手段M2は接続点Kに出力端子OUTの電位を印加する。この結果、第1スイッチSW1と第3スイッチSW3の各両端は同一電位に保持されこれら第1スイッチSW1と第3スイッチSW3にリーク電流は流れない。但し、ここで第2スイッチSW2の両端に入力端子INと出力端子OUTとの間に掛かる電位差が与えられ、この電位差に対応して第2スイッチSW2にリーク電流が流れることになる。

#### 【0027】

第2スイッチSW2に流れるリーク電流は図2Aと図2Bに示すように、電圧印加手段M1とM2を構成する直流増幅器A1とA2を流れ入力端子INと出力端子OUTに流れ出ることはない。つまり、測定系に誤差を与えることはない。尚、入力端子INと出力端子OUTには電圧印加手段M1とM2を構成する直流増幅器A1とA2の入力端子に流れるリーク電流が流れるが、直流増幅器A1とA2を入力インピーダンスの高い増幅器を用いることによりそのリーク電流は微少にすることができ、誤差を与えるにいたることはない。

#### 【0028】

図2Aは入力端子INが正電位+Vで、出力端子OUTが0Vである場合のリーク電流I1の電流通路を示す。この場合は直流増幅器A1がリーク電流I1に相当する電流を出力し、直流増幅器A2はその電流I1を吸い込む動作を実行する。

#### 【0029】

図2Bは入力端子INが負電位-Vで、出力端子OUTが0Vである場合のリーク電流

I 2 の電流通路を示す。この場合は直流増幅器 A 2 がリーク電流 I 2 に相当する電流を出力し、直流増幅器 A 1 がその電流を吸い込む動作を実行する。このように入力端子 I N の電位が正電位と負電位に変化する場合には直流増幅器 A 1 と A 2 は正と負の 2 電源で動作させる必要がある。但し、入力端子 I N に与えられる電圧の範囲が正電位のみ、或は負電位のみである場合はその必要はなく、正電圧のみで動作する増幅器、又は負電圧のみで動作する増幅器でよい。

#### 【0030】

このように、この発明によれば入力端子 I N と出力端子 O U T の間に電位差が与えられた状態で第 1 スイッチ S W 1 ～第 3 スイッチ S W 3 がオフの状態に制御されても、第 2 スイッチ S W 2 を流れるリーク電流 I 1 と I 2 は電圧印加手段 M 1 と M 2 を構成する直流増幅器 A 1 と A 2 の間で授受され、リーク電流 I 1 と I 2 が外部に流れ出すことはない。従って、この発明による半導体スイッチ回路を図 7 に示したマトリックス回路 20 に適用した場合にはリーク電流による悪影響の発生を回避することができる。

#### 【実施例 2】

##### 【0031】

図 3 にこの発明の第 2 の実施例を示す。この実施例では第 1 スイッチ S W 1 と第 3 スイッチ S W 3 をダイオード D 1 と D 2 の逆並列接続で構成した場合を示す。この場合にはスイッチ S W 4 と S W 5 がオンの状態ではスイッチ S W 2 はスイッチ制御手段 S C O N によりオフの状態に制御され、更に第 1 スイッチ S W 1 と第 3 スイッチ S W 3 を構成するダイオード D 1 と D 2 は共にオフの状態に維持される。従って、入力端子 I N と出力端子 O U T の間は切り離された状態となり、入力端子 I N に与えられている電圧が出力端子 O U T に出力されることはない。

##### 【0032】

一方、スイッチ S W 4 と S W 5 がオフの状態に制御され、第 2 スイッチ S W 2 がオンの状態に制御されると第 1 スイッチ S W 1 と第 3 スイッチ S W 3 の直列回路に入力端子 I N と出力端子 O U T との間に印加されている電圧が掛かる。この電圧の極性が入力端子 I N 側が正電位である場合は第 1 スイッチ S W 1 と第 3 スイッチ S W 3 を構成するダイオード D 1 が導通し、この導通により入力端子 I N に与えている電圧が出力端子 O U T に出力される。また入力端子 I N 側が負電位である場合はダイオード D 2 が導通し、ダイオード D 2 の導通により出力端子 O U T に負電位が伝達される。

##### 【0033】

この実施例の場合も、第 1 スイッチ S W 1 ～第 3 スイッチ S W 3 がオフの状態では第 2 スイッチ S W 2 の両端に入力端子 I N と出力端子 O U T との間に与えられている直流電圧が印加される。この場合も図 1 の場合と同様に第 2 スイッチ S W 2 の両端間に入力端子 I N と出力端子 O U T の間に印加されている電圧が与えられ、この電位差により第 2 スイッチ S W 2 にリーク電流が流れるが、このリーク電流は上述したように電圧印加手段 M 1 と M 2 を構成する直流増幅器 A 1 と A 2 の間で授受され、外部に流れ出すことはない。

#### 【実施例 3】

##### 【0034】

図 4 にこの発明の第 3 の実施例を示す。この実施例では電位印加手段 M 1 と M 2 を構成するスイッチ S W 4 と S W 5 を抵抗器 R で置き換えて構成した場合を示す。この場合も第 1 スイッチ S W 1 ～第 3 スイッチ S W 3 が全てオンの状態では問題なく入力端子 I N に与えた電圧は出力端子 O U T に出力される。第 1 スイッチ S W 1 ～第 3 スイッチ S W 3 がオフの状態では電圧印加手段 M 1 と M 2 は接続点 J と K に入力端子 I N の電位と出力端子 O U T の電位を印加し、第 1 スイッチ S W 1 と第 3 スイッチ S W 3 の両端を同電位に維持する。従って、第 1 スイッチ S W 1 と第 3 スイッチ S W 3 にリーク電流が流れることはない。スイッチ S W 4 と S W 5 を抵抗器 R に置き換えたことによる影響は第 1 スイッチ S W 1 ～第 3 スイッチ S W 3 がオフの状態では第 2 スイッチ S W 2 の両端に入力端子 I N と出力端子 O U T 間に掛かる電圧が印加され、この電圧に対応したリーク電流が第 2 スイッチ S W 2 を流れ、このリーク電流が抵抗器 R を流れ、抵抗器 R において電圧降下が発生する。こ



の電圧降下による影響が考えられる。

【0035】

然し乍ら、この電圧降下は第2スイッチSW2を流れるリーク電流が微少値であることから、わずかな電圧であるため、そのわずかな電圧が第1スイッチSW1及び第3スイッチSW3の両端に印加されても、これら第1スイッチSW1と第3スイッチSW3に流れるリーク電流は更に小さい値となり、その影響は微少である。

【実施例4】

【0036】

図5はこの発明の請求項2で提案する半導体スイッチ回路の実施例を示す。この実施例では入力端子IN側にリーク電流が流れても許容できる場合の実施例を示す。つまり、この場合には第2スイッチSW2と第3スイッチSW3を入力端子INと出力端子INと出力端子OUTとの間に直列接続し、第3スイッチSW3のみに並列に電圧印加手段M2を接続した場合を示す。

【0037】

この場合も、第2スイッチSW2と第3スイッチSW3がオンのときスイッチSW5がオフに制御され、この状態で入力端子INと出力端子OUTとの間が導通し、入力端子INと出力端子OUTは同電位に維持される。一方、第2スイッチSW2と第3スイッチSW3がオフ、スイッチSW5がオンの状態で入力端子INと出力端子OUTの間は開放され第2スイッチSW2の両端に入力端子INと出力端子OUTとの間に掛かる電圧が印加される。つまり、接続点Kは電圧印加手段M2の動作により出力端子OUTの電位に維持され、第2スイッチSW2に入力端子INと出力端子OUTの間に掛かる電圧のすべてが印加される。この電圧によって第2スイッチSW2にリーク電流が流れるが、このリーク電流は電圧印加手段M2を構成する直流増幅器A2から出力されるか又は直流増幅器A1に吸引される。従って、この場合は入力端子IN側にリーク電流が流れるが、出力端子OUT側にはリーク電流は流れない。

【実施例5】

【0038】

図6はこの発明の請求項2で提案する半導体スイッチ回路の他の実施例を示す。この実施例では出力端子OUT側にリーク電流が流れても良い場合の実施例を示す。従ってこの場合には第1スイッチSW1と第2スイッチSW2を入力端子INと出力端子OUTとの間に直列接続し、第1スイッチSW1のみに電圧印加手段M1を並列接続する。第1スイッチSW1と第2スイッチSW2がオン、スイッチSW4がオフの状態で入力端子INと出力端子OUTとの間が導通し、入力端子INと出力端子OUTは同一電位に維持される。一方、第1スイッチSW1と第2スイッチSW2がオフ、スイッチSW4がオンの状態に制御されると、入力端子INと出力端子OUTの間は開放され、接続点Jには電圧印加手段M1の動作により入力端子INの電位が印加される。従って、このとき第2スイッチSW2には入力端子INと出力端子OUTとの間に掛かる全ての電圧が印加され、この電圧によって第2スイッチSW2にリーク電流が流れる。このリーク電流は電圧印加手段M1を構成する直流増幅器A1から出力されるか、又は直流増幅器A1に吸引され、そのリーク電流は出力端子OUTに流出するが、入力端子IN側にリーク電流は流れない。

【産業上の利用可能性】

【0039】

上述した実施例1乃至3で説明した半導体スイッチ回路によれば入力端子INと出力端子OUTの何れにもリーク電流が流れ出ないから、例えば図7で説明した半導体デバイス試験装置のマトリックス回路に陥ることができる。

【0040】

また、実施例4及び5で説明した半導体スイッチ回路によれば入力端子IN側又は出力端子OUT側の何れか一方でリーク電流が流れることを許容できる装置に適用することができる。

【図面の簡単な説明】

## 【0041】

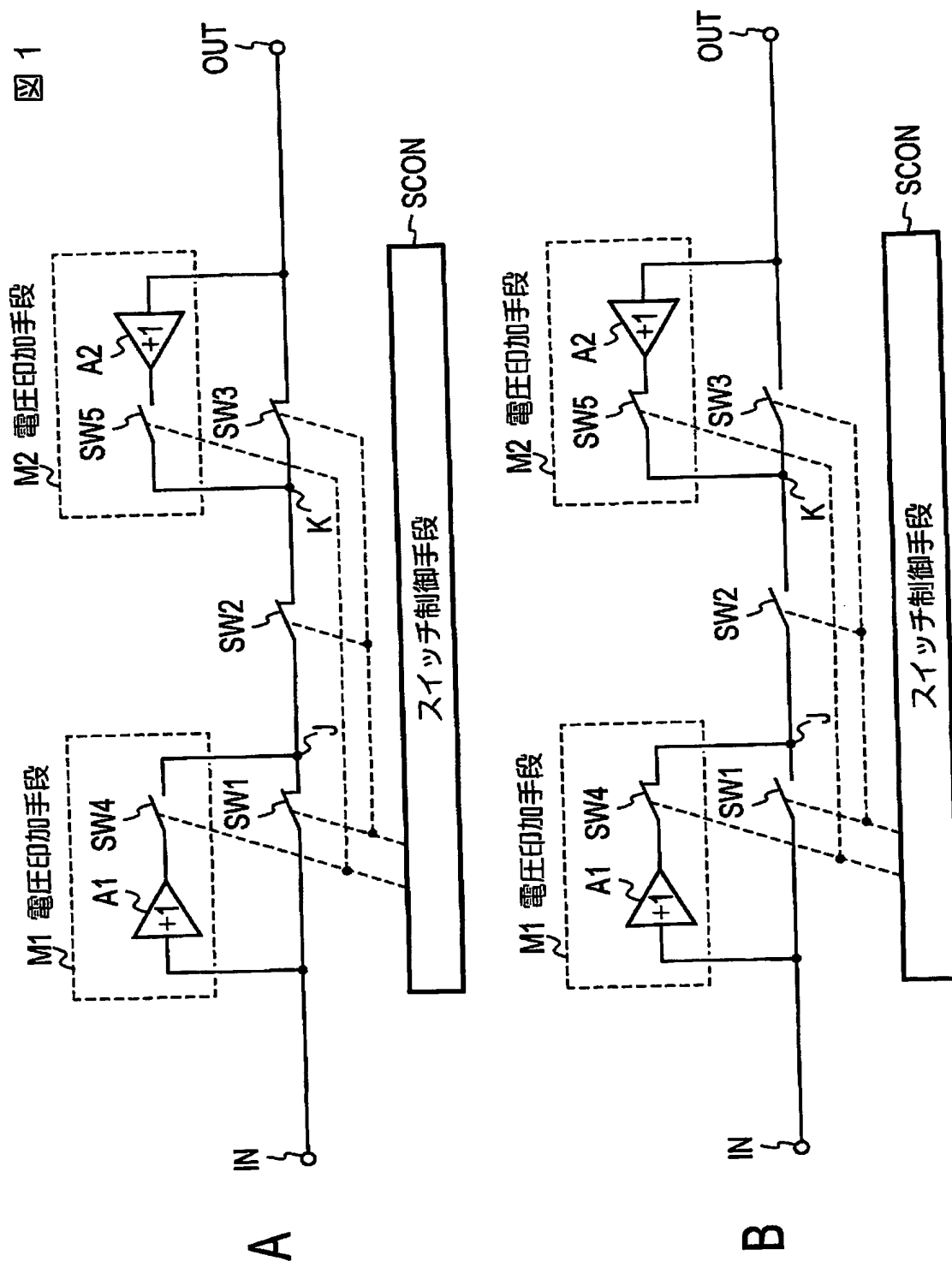
- 【図1】この発明の実施例1を説明するための接続図。  
【図2】図1に示した実施例1の動作を説明するための接続図。  
【図3】この発明の実施例2を説明するための接続図。  
【図4】この発明の実施例3を説明するための接続図。  
【図5】この発明の実施例4を説明するための接続図。  
【図6】この発明の実施例5を説明するための接続図。  
【図7】この発明の半導体スイッチ回路を適用して好適な半導体デバイス試験装置のマトリックス回路を説明するための接続図。  
【図8】従来の半導体スイッチ回路を説明するための接続図。

## 【符号の説明】

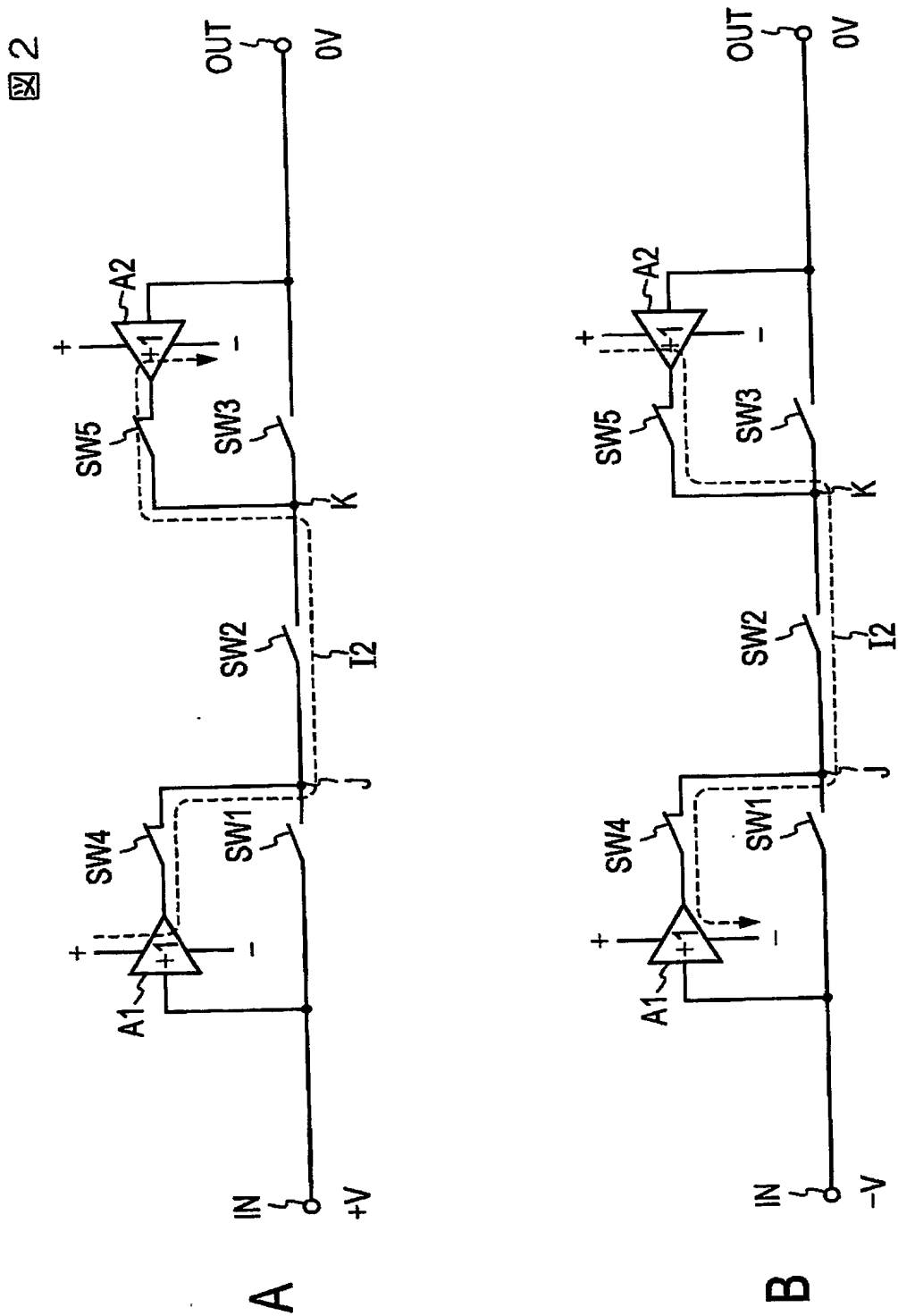
## 【0042】

IN	入力端子	M1、M2	電圧印加手段
OUT	出力端子	A1、A2	直流増幅器
SW1	第1スイッチ	J、K	接続点
SW2	第2スイッチ	SCON	スイッチ制御手段
SW3	第3スイッチ		

【書類名】 図面  
【図 1】



【図 2】



【図 3】

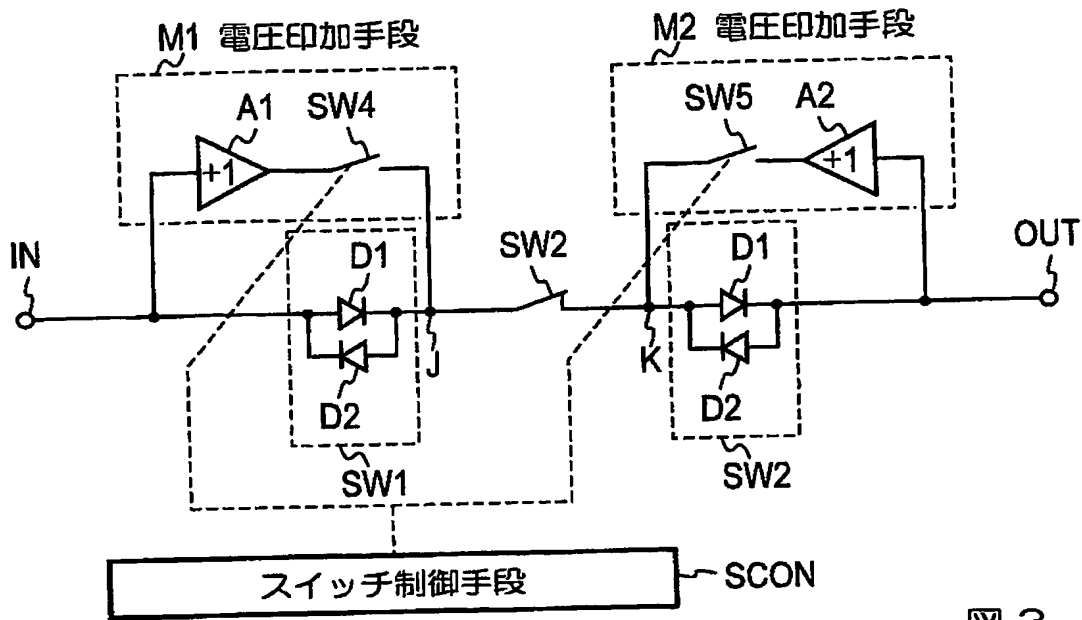


図 3

【図 4】

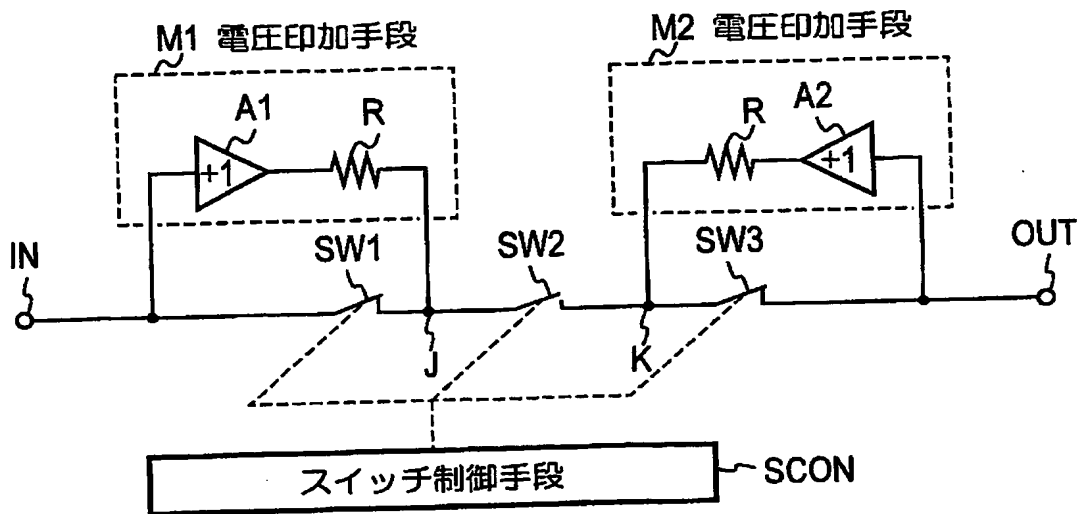


図 4

【図 5】

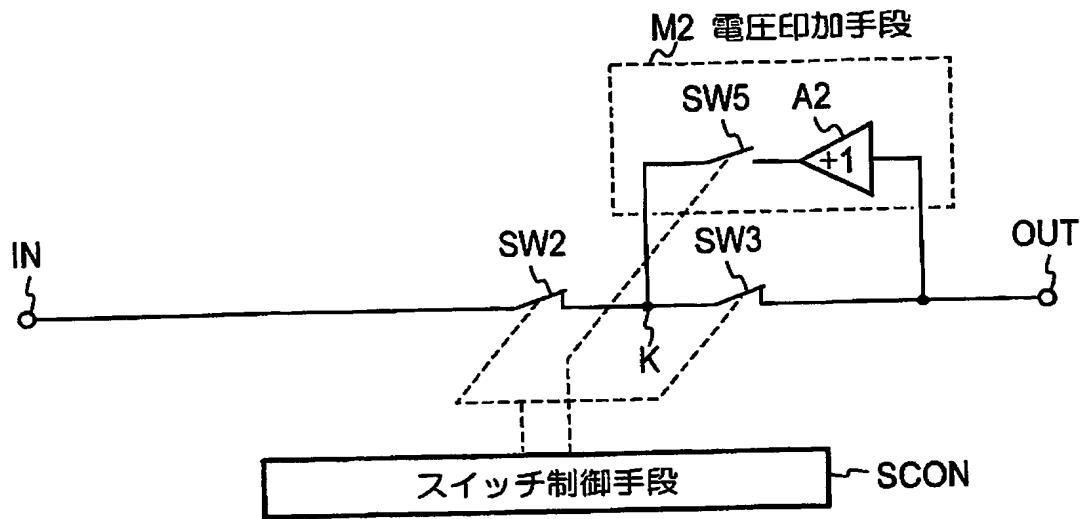


図 5

【図 6】

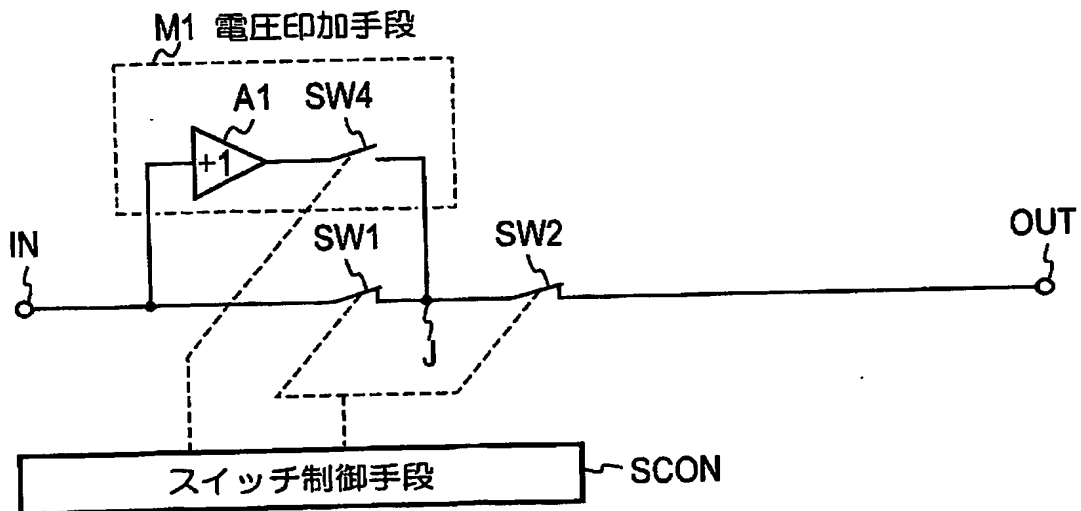


図 6

【図 7】

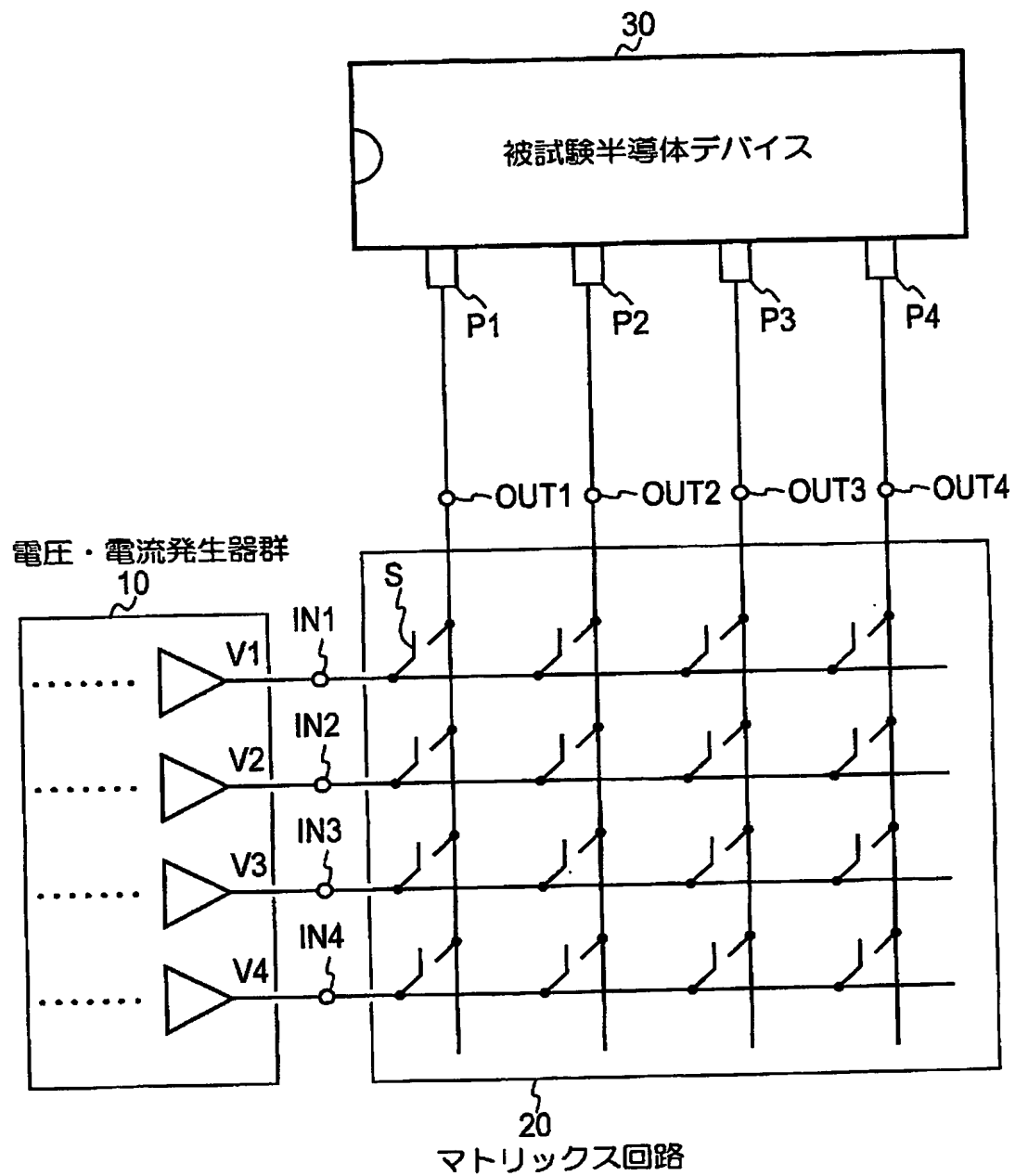


図 7

【図 8】

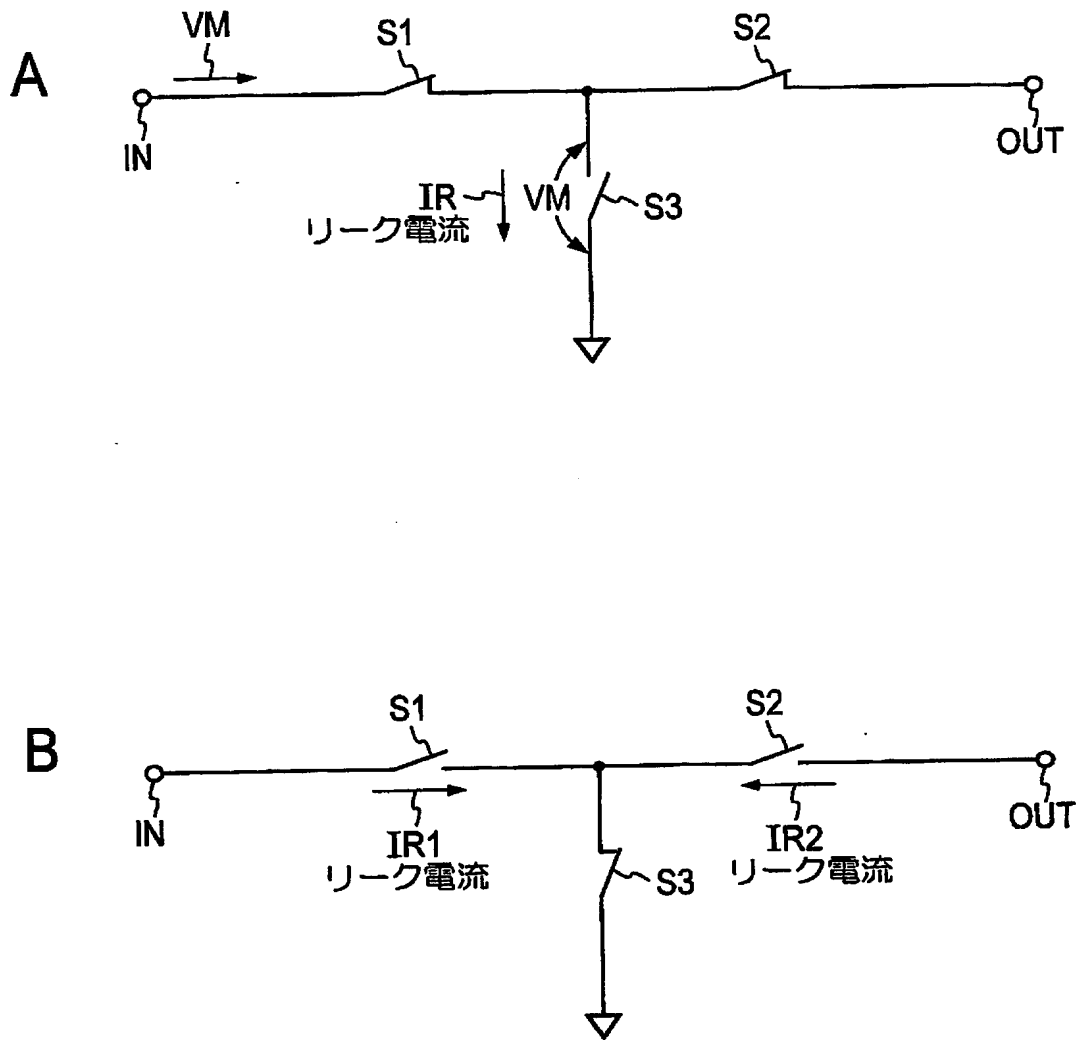


図 8



**【書類名】 要約書****【要約】****【課題】**

リーク電流の発生を回避不能な半導体スイッチ素子を用いてリーク電流が外部に流出することを阻止した半導体スイッチ回路を提供する。

**【解決手段】**

入力端子と出力端子との間に直列接続された第1半導体スイッチ、第2半導体スイッチ、第3半導体スイッチと、一端が入力端子接続された第1半導体スイッチ及び一端が出力端子に接続された第3半導体スイッチのそれぞれに並列接続され、それぞれが入力端子の電位を第1半導体スイッチと第2半導体スイッチとの接続点に印加し、出力端子の電位を第2半導体スイッチと第3半導体スイッチとの接続点に印加する電圧印加手段と、第1半導体スイッチ、第2半導体スイッチ、第3半導体スイッチを連動させてオンの状態及びオフの状態に制御するスイッチ制御手段とによって構成した。

**【選択図】** 図1

特願 2 0 0 3 - 3 2 6 5 4 9

出 願 人 履 歴 情 報

識別番号

[ 3 9 0 0 0 5 1 7 5 ]

1. 変更年月日

1 9 9 0 年 1 0 月 1 5 日

[変更理由]

新規登録

住 所

東京都練馬区旭町 1 丁目 3 2 番 1 号

氏 名

株式会社アドバンテスト